

확장성 신뢰성 갖춘 양자 컴퓨터를 위한 CMOS 기반 제어 및 센싱 회로 기술

CMOS Interconnect Electronics Architecture for Reliable and Scalable Quantum Computer

김주성^{*}, 한정환^{**}, 남재원^{***}, 조건희^{****}[★]

Jusung Kim^{*}, Junghwan Han^{**}, Jae-Won Nam^{***}, Kunhee Cho^{****}[★]

Abstract

The current circuit technology that individually connects each qubit to a control circuit at room temperature has limitations in achieving scalability and reliability of a quantum computer. With the advent of cryogenic CMOS interconnect electronics, it is expected to dramatically improve the interconnect complexity, system reliability and size, and price. In this paper, we introduce the CMOS integrated sensing and control technology platform overcoming the problems caused by the fragile and sensitive characteristics of qubit.

요약

각각의 큐비트(qubit)를 개별적으로 상온의 제어 회로에 연결하는 현재의 회로 기술은 양자 컴퓨터의 확장성, 신뢰성을 갖추는 데 있어 한계를 가지고 있으며, 집적도 측면에서 극저온의 CMOS 기술 기반 인터커넥트 회로 기술을 통해 기존 기술 대비 인터커넥트의 복잡도, 시스템 안정도 및 사이즈, 그리고 가격 경쟁력을 획기적으로 개선할 수 있을 것으로 기대되고 있다. 외부의 전기적 자극에 민감하며 양자 상태를 일정 시간 이상 유지할 수 없는 큐비트의 특성으로 인한 문제를 극복하고, 확장성과 신뢰성을 양자 컴퓨터 실현을 위한 CMOS 기술 기반 집적화된 센싱 및 제어 회로 기술에 대해 소개한다.

Key words : ADC, Cryogenic, DAC, low drop-out regulator, frequency synthesizer, transceiver, quantum computer, qubit

* Professor, Dept. of Electronics Engineering, Hanbat National University

** Professor, Dept. of Radio and Information Communication Engineering, Chungnam National University

*** Professor, Dept. of Electronic Engineering, SeoulTech

**** Professor, School of Electronics Engineering and School of Electronic and Electrical Engineering, Kyungbook National University

[°] Equally contributed

[★] Corresponding author

E-mail : jaewon.nam@seoultech.ac.kr, kunhee@knu.ac.kr, Tel : +82-42-821-1133

※ Acknowledgment

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korean Government (MIST) (No. 2022R1A4A3029433)

Manuscript received Dec. 28, 2022; revised Jan. 18, 2023; accepted Jan. 23, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

양자 컴퓨터(quantum computer)는 atomic 레벨에서의 중첩(superposition), 얽힘(entanglement) 현상을 활용하여 기존의 클래식 연산 기기(classic computing machine)가 효율적으로 풀기 어려운 여러 난제(예: prime factorization, 최적 경로 탐색, DNA 분석)들을 해결할 수 있을 것으로 기대하고 있다. 1980년대 초반 Richard Feynman의 핵심 게이트(gate) 및 아이디어 제안[1], 1990년대 Shor 및 Grover의 양자 알고리즘 개발[2, 3] 이후, 2021년 기준 53(IBM), 72(Google)개의 양자 정보 단위(큐비트)로 구성된 양자 컴퓨터가 개발 [4, 5] 된 바 있다.

현재의 양자 컴퓨터 기술은 극저온(<1K) 환경에서 동작하는 큐비트와 상온(300K)의 control electronics 간 인터커넥트를 통해 양자 정보의 제어 및 센싱을 수행하고 있으나, 큐비트의 제한된 위상 이완(dephasing 혹은 decoherence) 시간, 열 잡음을 포함한 외부 환경에의 민감도 문제로 인해 시스템의 사이즈가 매우 크며 실험실 환경에서 제한된 동작만을 수행하고 있어 확장성, 범용성에서 한계를 가지고 있다.

예를 들어 그림 1에 표기된 IBM Q 시스템[5]은 53개의 큐비트로 구성된 양자 프로세서의 신뢰성 있는 동작 및 제어를 위해, 1) 4K의 동작 온도를 가진 화합물 반도체 기반 증폭단, 2) 제어 및 센싱 회로에서의 열잡음을 차단하기 위한 attenuator, 3) 에너지 손실을 최소화하기 위한 초전도 전송 선, 4) 큐비트 간 신호의 간섭을 차단하기 위한 극저온 isolator, 5) <1K 동작 온도의 증폭단, 6) 전파 발산(electromagnetic radiation)으로부터 큐비트를 보호하기 위한 shield, 7) 극저온 동작을 위한 냉각기가 필요하며 이에 따라 시스템의 사이즈는 $20mm^3$ ($2.7m \times 2.7m \times 2.7m$)에 이르게 된다.

향후 양자 우월성(quantum supremacy)을 달성하기 위해서는 redundancy 기반의 양자화 오차 보정(quantum error correction, QEC) 기술 적용이 필수적이며, 이에 따라 요구되는 큐비트의 개수는 수천-수백만에 이르게 될 것으로 예측되고 있다. 기존의 극저온 양자 프로세서, 상온의 제어 및 read-out 회로 기반의 양자 컴퓨터는 큐비트의 갯수에 비례하여 전송 선로의 갯수가 동일한 비율로 증가할 수밖에 없기에 확장성 측면에서 한계를 가지고 있다. 뿐만 아니라 긴 전송 선로 및 큰 시스템 사이즈로 인해 제한된 위상 이완 시간 내에 신뢰성 있는 양자 오류 보정 동작이 어려우며, 전송 선로 간 간섭 문제로

인해 열화된 오차율을 보이게 된다.

현재 양자 컴퓨터의 확장성 및 신뢰성 향상을 위해 solid-state 기반 반도체 공정 기술이 대안으로 고려되고 있다. 특히, 집적도 측면에서 제한적인 화합물 반도체와 달리 CMOS 반도체 공정의 경우 제어와 신호 센싱 모두 집적화하여 큐비트의 확장성 확보와 더불어 폼팩터, 전력, 시스템 복잡도, 비용을 획기적으로 줄일 수 있게 될 것으로 기대한다. 예를 들어 IBM에서는 최근 CMOS 반도체 기술 기반 양자 컴퓨터 로드맵을 발표하였으며, 향후 5년 이내에 수천 개 이상의 큐비트를 개발 및 시연하는 것을 목표로 한다. 세계 최고 권위의 ISSCC(International Solid-State Circuits Conference)에 발표된 최근 연구 결과[7, 8]에서도 양자 컴퓨터의 확장성 확보를 위해 frequency multiplexing 기반의 제어 및 센싱 시스템을 제안하고 있으며, 본 논문에서 제시하는 회로 기술을 통해 기존 기술 대비 전력 소모, 발열, 비용(반도체 면적) 등에서 기존 기술 대비 획기적인 성능 개선을 기대한다.



Fig. 1. State of the art technology: IBM Q System [5].
그림 1. 양자 컴퓨터 최신 기술: IBM Q system [5]

II. 본론

1. 제안하는 시스템 아키텍처

앞서 설명한 바와 같이 양자 컴퓨터의 발전 과정 및 미래 기술의 진화 방향에서 바라보았을 때 각각의 큐비트를 개별적으로 상온의 제어 회로에 연결하는 현재의 접근 방식은 불가능에 가까우며, 미래의 양자 컴퓨터의 확장성(>1000큐비트 이상 지원 가능)을 확보하기 위해서는 3-5K 극저온 동작의 집적화된 제어 및 센싱 회로 기술을 통해 인터커넥트의 복잡도를 줄이고 에너지 손실을 최소화함이 필수적이다.

따라서 본 논문에서는 양자 컴퓨터의 확장성 및 신뢰

성 문제를 해결하기 위해 큐비트의 제어 및 read-out을 위한 CMOS 기술 기반 극저온 동작의 회로 및 통합 시스템 아키텍처 및 세부 회로 기술을 제안한다. 외부의 전기적 자극에 민감하며 양자 상태를 일정 시간 이상 유지할 수 없는 큐비트의 특성으로 인한 문제를 극복하기 위해, 그림 2에서는 1) 제한된 전력 및 극저온 환경의 저전력 아날로그 기준 신호원 및 전력 관리 회로, 2) 다수의 큐비트를 동시 지원할 수 있는 주파수 다중화(frequency multiplex) 방식의 광대역 저잡음 수신부, 3) 큐비트의 신뢰성 저하를 막기 위해 충분히 낮은 주파수 잡음 수준(<2kHz, [6])을 가진 제어 신호원, 4) 제어 신호 생성 및 read-out의 신뢰성 향상을 위한 고성능 임의 파형 생성 회로 및 ADC(analog to digital converter)/DAC(digital to analog converter)를 나타내고 있다.

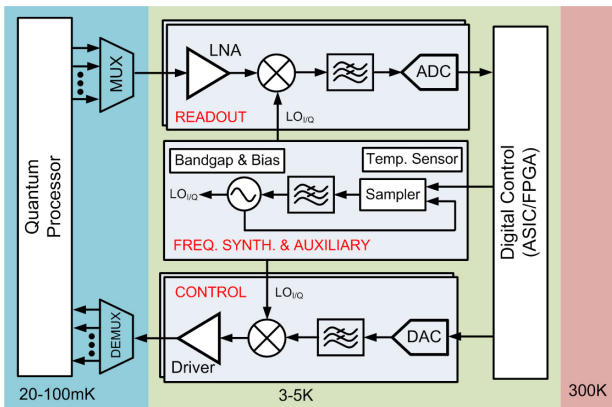


Fig. 2. Proposed system architecture.
그림 2. 제안하는 시스템 아키텍처

제안하는 시스템이 목표로 하는 성능 목표 및 근거는 다음과 같다. 전력 소모는 1W 이내를 목표로 하며, 이는 3-5K 온도의 동작 환경에서 지원 가능한 냉각력($P_{cooling}$, cooling power)의 한계로 인해 전력 소모의 최댓값에 제한이 있으며, 큐비트 당 전력 소모 비율에 의해 산정하였다. 주파수 잡음은 큐비트의 위상 이완을 방지하기 위해 <2kHz 이하 산정 [6], 잡음 지수는 큐비트 read-out의 신뢰도 최적화 위해 <0.3dB, 지원 가능한 큐비트의 수는 실질적인 양자 우월성 실현을 위해 1000개 이상을 목표로 한다.

2. 제안하는 극저온 CMOS 회로 및 시스템

가. 광대역/저잡음 read-out 회로 및 시스템

그림 3은 제안하는 극저온 동작의 광대역, 저잡음 read-out 회로의 블록 다이어그램을 나타낸다. 다중 큐

비트 제어를 위해 주파수 다중화 방식의 10GHz 대역폭을 만족해야 한다. 따라서, 극저온 동작에서 열 잡음 특성에 특화된 Sliced-cell 구조의 광대역 매칭 구조를 적용하였다. 극저온 환경에서 초전도(superconducting) 특성에 가까운 연결 구성으로 인해 열잡음에 대한 영향이 최소화(zero electrical loss) 되며, 이에 따라 비선형 리액턴스 특성을 적극 활용한 parametric amplifier 구조를 적용하였다. 추가적인 저잡음 신호 증폭을 위해 광대역 영역에서 상호 노이즈 상쇄(noise cancelling) 회로 기법을 적용한 광대역 저잡음 증폭기가 사용되었다. 극저온 환경에서의 추가 전력 소모는 능동 소자의 발열특성을 심화시킴에 따라 전류 재사용 기법(그림 4)을 적용해 큐비트 당 전류 소모를 최소화한다. 제안하는 광대역 저잡음 수신부를 통해 저잡음 read-out 동작에서 큐비트의 상태에 따른 주파수 특성 변화 특성을 이용하여 큐비트 정보를 감지하게 된다.

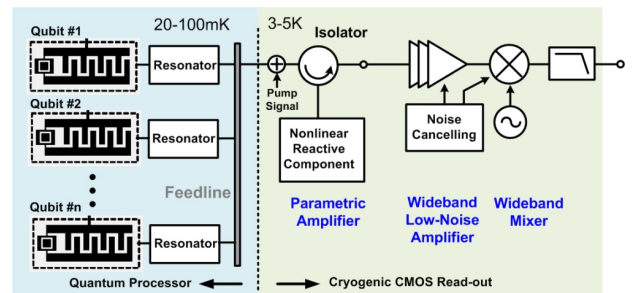


Fig. 3. Block diagram of the proposed wideband low-noise read-out circuits.

그림 3. 제안하는 광대역 저잡음 read-out 회로 블록 다이어그램

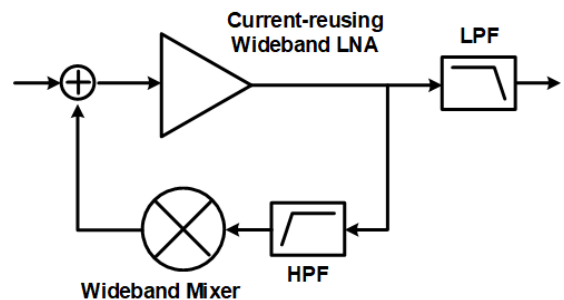


Fig. 4. Proposed current/gain reuse technique.
그림 4. 제안하는 전류/이득 재사용 기법

나. 저잡음 excitation source 회로 및 시스템

극저온 환경에서 MOS 소자의 flicker 잡음은 상온(300K) 대비 상당히 열화된 수준을 보이고 있으며 이에 따라 발진기의 flicker 잡음 코너의 최소화 및 flicker to 위상(주파수) 잡음 전달 함수의 최적화는 필수적이다.

flicker 잡음으로부터의 위상(주파수) 잡음 전환 기저는 1) varactor에 의한 AM-PM전환(amplitude modulation phase modulation), 2) 비선형 성분으로 인한 Groszkowski 효과, 3) 전류원의 기생 커패시터로 인한 전류 변조 등이 있다.

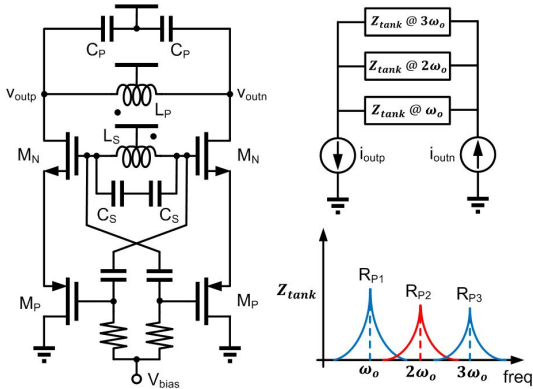


Fig. 5. Proposed Class-F23 oscillator.

그림 5. 제안하는 Class-F23 발진기

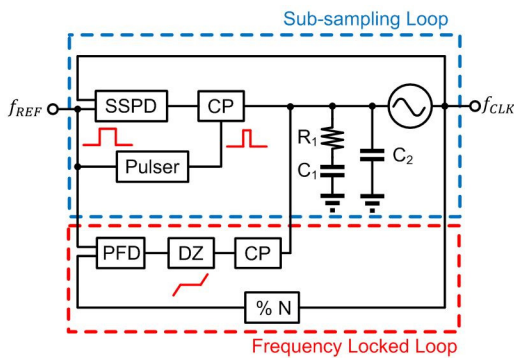


Fig. 6. Proposed Sub-sampling based frequency synthesizer.

그림 6. 제안하는 서브-샘플링 기반 주파수 합성기

본 논문에서 제시하는 excitation source는 발진기의 2차 주파수 및 3차 주파수 성분의 웨이브폼엔지니어링 (waveform engineering) 기법, 그리고 noise-circulation 테크닉을 활용한 Class-F23 발진기를 통해 flicker 잡음의 위상(주파수) 잡음으로의 변화를 최소화하고 발진기의 폼팩터를 최적화한다. 좀 더 구체적으로는 1) 2차 주파수에서의 common-mode 공진기 적용을 통해 대칭적 상승/하강(rise/fall) 시간을 보장함으로써 IS(impulse sensitivity function)의 DC 성분을 최소화, 2) 3차 주파수에서의 differential-mode 공진기 적용을 통해 pseudo-square 신호를 발생함으로써 ISF 성분 최소화, 3) Groszkowski 효과를 최소화하기 위한 선형화 기법 및 주파수 변동 최소화 알고리즘 적용, 4) noise circulation

발진기 구조를 적용한다. 그림 5, 6은 제안하는 Class-F23 발진기 구조, 그리고 이를 적용한 Sub-sampling 주파수 합성기를 나타내고 있다.

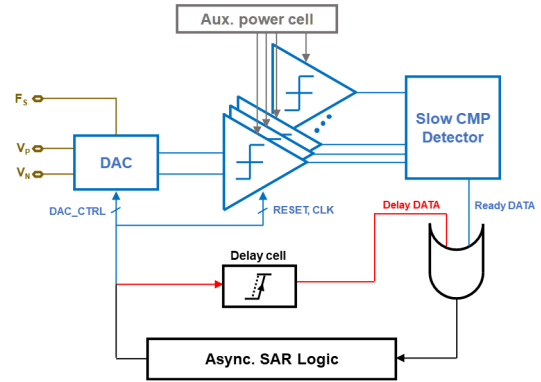


Fig. 7. Proposed SAR ADC.

그림 7. 제안하는 축차 비교형 아날로그 디지털 변환기

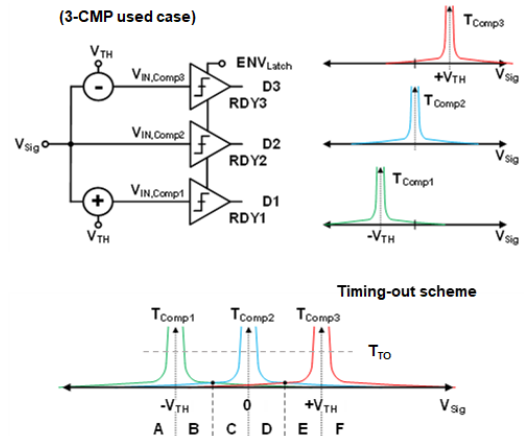


Fig. 8. Proposed Multi-bit SAR ADC timing-out scheme.

그림 8. 제안하는 멀티-비트 SAR ADC Timing-out 기법

다. 제어 신호 생성 및 복조 위한 고성능 임의파형 생성 회로 및 ADC

양자 컴퓨터의 정밀한 큐비트 제어를 위해 다양한 형태의 고성능 임의파형 생성 회로가 요구된다. 예를 들어 [9]에서는 9b 10G/S, 10MHz-대역폭/큐비트, 8-9b 진폭 제어, 10b 위상 제어 가능한 임의 파형 회로를 발표한 바 있다. 이에 본 연구에서는 고성능 임의파형 생성회로를 극저온 환경에서 구현하기 위해 공정/온도/전압 환경 변화에서 일어나는 능동 소자, 수동 소자의 정합성 변화로 인한 선형성 열화를 보정하는 DAC 선형화 알고리즘 및 회로 기술을 제안한다. 특히, [10]에서 연구된 온도에 따른 CMOS 소자의 비선형적 성능열화 (부정합 경향 증가, 문턱전압 변화)를 상쇄시키고, 구조적으로 온도에 따른 성능열화를 자가 진단하고 디지털회로를 사용하여 보

정할 수 있도록 함에 있다. 따라서, 본 연구는 극저온에서도 강인하게 동작할 수 있는 디지털 방식의 동적요소 정합법(dynamic element matching, DEM) 및 부정합 요소를 고주파영역으로 밀어내는 필터링 기법을 적용하여 DAC 선형화를 구현하고자 한다.

그림 7은 큐비트 신호의 안정적인 복조를 위한 Successive Approximation Register(SAR) ADC의 블록 다이어그램을 나타내고 있다. 종래의 SAR ADC는 비동기식 클럭 기법을 적용함으로써 전력 소모 및 동작 속도를 획기적으로 개선하였다. 하지만 비교기의 입력 신호가 문턱 전압, 즉 0에 가까워질수록 비교기가 소모하는 능동전력량이 급격하게 증가하는 구조적인 문제점을 갖고 있다. ADC의 입력 신호가 균일분포로 인가된다고 할 때, N-bit SAR ADC의 변환 동작에서 비교기가 입력을 0으로 갖는 경우는 입력 신호가 $(2^N - 1)$ 개의 양자화 경계점의 값과 같을 때 일어난다(그림 8). 전체 ADC의 전력 소모량과 입력 신호는 상관관계를 가지고 있는 것이다. 극저온에서 능동회로의 상대적 잡음은 능동소자의 전류 밀도 증가로 인하여 줄어드는 경향이 있고, 개선된 비교기의 민감도는 전력 소모를 더욱 촉진하게 된다. 본 논문에서는 종래의 비동기식 비교기 timing-out 기법을 멀티-비트 비동기식 SAR ADC 구조에 활용하여, 고속 비동기식 SAR ADC의 동적 전력제어 알고리즘의 구현에 적용한다.

라. 저전력 아날로그 회로 및 시스템

극저온 환경에서 BJT(bipolar junction transistor)는 베이스 단자의 freeze-out 현상으로 인한 높은 베이스 저항, 낮은 전류 이득(β) 특성으로 인해 밴드갭 기준회로(bandgap reference circuit)에 적용이 용이하지 않다. 그에 따라 본 논문에서는 DTMOS(dynamic threshold MOS) 소자를 활용하여 극저온에서도 안정적으로 동작 가능한 기준 전압 생성회로를 제시한다. 또한 극저온 환경의 높은 문턱 전압으로 인한 문제점을 극복하기 위해 weak inversion 동작 테크닉을 적용하여 극저온 특성 변화 곡선을 추출, 이를 활용한 single-point 보정을 통해 극저온부터 상온까지 동작 가능하도록 한다. 그림 9는 제안하는 CMOS 기반의 극저온, 저전력 기준 전압 생성 회로의 블록 다이어그램을 나타낸다. 공정에서 제공하는 NMOS, PMOS, DTMOS 소자들의 온도 특성을 활용하여, 온도와 비례하는 PTAT(Proportional to Absolute Temperature) 특성과 반비례하는 CTAT(Complementary to Absolute Temperature) 특성을

활용하여 ZTC (Zero Temperature Coefficient)를 갖는 기준전압을 생성한다.

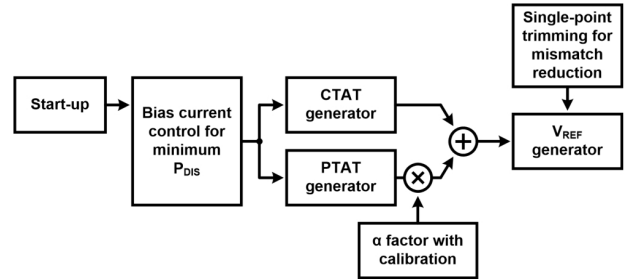


Fig. 9. Block diagram of proposed low power voltage reference circuit.

그림 9. 제안하는 CMOS 기반 저전력 기준 전압 생성 회로의 블록 다이어그램

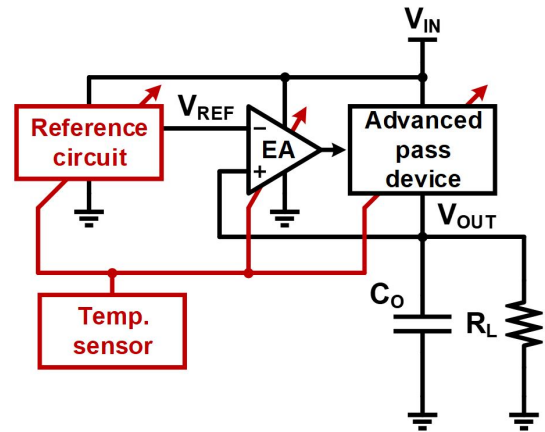


Fig. 10. Proposed adaptively controlled LDO based on the temperature variation.

그림 10. 제안하는 온도 변화 기반의 LDO

또한 제어 및 센싱 회로의 잡음 특성 개선에 가장 중요한 요소 중 하나는 안정적인 전원전압 공급이다. 300K 영역에서 전원을 공급해줄 경우, 3-5K 영역까지 연결된 긴 전송 라인으로 인해 안정적인 전원 공급이 불가능하다. 특히 큐비트의 개수가 늘어날수록 사용 전력이 커짐에 따라, 극저온에서 동작이 가능한 LDO(low drop-out regulator) 설계가 필수적이다. 높은 PSRR(power supply rejection ratio)를 가지며, 낮은 강하 전압 성능을 나타내는 LDO를 설계함으로써, 손실 및 발열을 최소화하고 잡음 특성을 최적화한다. 그림 10은 온도 변화에 기반한 adaptive 제어를 적용한 LDO를 나타내고 있다. 먼저 극저온과 상온에서의 특성변화를 파악한 후, 온도센서의 정보를 통해 온도에 따른 회로특성을 adaptive하게 변화시킨다. 이를 통해 pass-gate 단에서 발생하는 강하 전압을 최소화, PSRR를 극대화한다. pass-gate 구동은 소모 전력을 낮추기 위해, 아날로그/디지털을 동시에 활용한 하이브리드 방식을 적용한다.

III. 결론

본 논문에서 제안하는 CMOS 기술 기반 극저온 제어 및 센싱 인터커넥트 기술을 통해 기존 기술 대비 인터커넥트의 복잡도, 시스템 안정도 및 사이즈, 그리고 가격 경쟁력을 획기적으로 개선할 것으로 기대된다. 본 논문이 제시하는 아키텍처는 양자 프로세서 근방의 spatial multiplexing, 그리고 interconnect electronics에 의한 frequency multiplexing을 통해 수천 개에 이르는 큐비트를 지원하는 독창적이고 집적화된 접근이라 할 수 있다. 뿐만 아니라 인터커넥트로 인한 지연 시간을 최소화함으로써 큐비트의 위상이완 시간 내 효율적인 QEC 구현이 가능하며 열중성화가 불필요함으로 인해 작은 진폭의 신호원으로부터 제어 및 센싱이 용이해진다.

References

- [1] R. P. Feynman, "Simulating physics with computers," *Int. J. Theoretical. Physics*, vol.21, no.6, pp.467-488, 1982.
DOI: 10.1007/BF02650179
- [2] P. W. Shor, "Polynomial-time algorithms for prime factorization and discrete logarithms on a quantum computer," *SIAM J. Computer*, vol.26, no.5, pp.1484-1509, 1997.
DOI: 10.1137/S0097539795293172
- [3] L. K. Grover, "A Fast quantum mechanical algorithm for database search," *Proceedings, 28th Annual ACM Symposium on the theory of computing*, p.212, 1996.
DOI: 10.48550/arXiv.quant-ph/9605043
- [4] F. Arute et al., "Quantum supremacy using a programmable superconducting processor," *Nature*, vol. 574, no.7779, pp.505-510, 2019.
- [5] "Advance quantum computing-quantum starts here," <http://www.ibm.com/ibm/quantum>
- [6] J. P. G. Van Dijk et al., "Impact of classical control electronics qubit fidelity," *Phys. Rev. Applied* 12, 044054, 2019.
DOI: 10.1103/PhysRevApplied.12.044054
- [7] K. Kang et al., "A Cryo-CMOS Controller IC with Fully Integrated Frequency Generators for

- Superconducting Qubits," in *IEEE International Solid-State Circuits Conference (ISSCC)*, pp.1-3, 2022. DOI: 10.1109/ISSCC42614.2022.9731574
- [8] K. Kang et al., "A Cryogenic Controller IC for Superconducting Qubits with DRAG Pulse Generation by Direct Synthesis without Using Memory," in *IEEE International Solid-State Circuits Conference (ISSCC)*, pp.1-3, 2023.
- [9] J. P. G. Van Dijk et al., "A scalable cryo-CMOS controller for the wideband frequency-multiplexed control of spin qubits and transmons," *IEEE J. Solid-State Circuits*, vol.55, no.11, pp.2930-2946, 2020. DOI: 10.1109/JSSC.2020.3024678
- [10] J. P. G. Van Dijk et al., "Cryo-CMOS for analog/mixed-signal circuits and systems," *2020 IEEE Custom Integrated Circuits Conference (CICC)*, pp.1-8, 2020.
DOI: 10.1109/CICC48029.2020.9075882

BIOGRAPHY

Jusung Kim (Member)



2006 : BS degree in Electronics Engineering, Yonsei University.
2011 : PhD degree in Electronics Engineering, Texas A&M University.
2012~2015 : Staff Engineer, Qualcomm Technologies.
2016~Present : Associate Professor, Hanbat National University.

Junghwan Han (Member)



2002 : BS degree in Electrical and Computer Engineering, Inha University.
2004 : MS degree in Electrical Engineering and Computer Science, University of Michigan, Ann Arbor.
2007 : PhD degree in Electrical and Computer Engineering, University of Texas, Austin.
2008~2010 : Senior Engineer, Qualcomm Incorporated.
2010~2017 : Principle Engineer, Samsung Electronics.
2017~Present : Associate Professor, Chungnam National University.

Jae-Won Nam (Member)

2006 : BS degree in Electrical
Communication Engineering, KAIST.
2008 : MS degree in IT Engineering,
KAIST.
2019 : PhD degree in Electrical
Engineering, University of Southern
University, USA.

2008~2012 : Researcher, ETRI.

2019~2020 : Analog Engineer, Intel Corp.

2020~Present : Assistant Professor, SeoulTech

Kunhee Cho (Member)

2007 : BS degree in Electrical and
Electronics Engineering, Yonsei
University.
2009 : MS degree in Electrical and
Electronics Engineering, Yonsei
University.

2016 : PhD degree in Electrical and Computer
Engineering, University of Texas, Austin.

2009~2012 : Design Engineer, Fairchild Semiconductor.

2017~2020 : Staff Engineer, Qualcomm Technologies
Incorporated.

2020~Present : Assistant Professor, Kyungpook National
University.